

Requested Patent: JP2206133A

Title: MANUFACTURE OF MOS-TYPE FIELD-EFFECT TRANSISTOR ;

Abstracted Patent: JP2206133 ;

Publication Date: 1990-08-15 ;

Inventor(s): SAITO SHUICHI; others: 04 ;

Applicant(s): NEC CORP ;

Application Number: JP19890027999 19890206 ;

Priority Number(s): ;

IPC Classification: H01L21/336 ; H01L29/784 ;

Equivalents: JP2503626B2

ABSTRACT:

PURPOSE: To set a thickness of an SOI film to a width or lower of a depletion layer by a method wherein the thin SOI film in a channel region is formed in a thick source region and a thick drain region and seeds are formed in these regions.

CONSTITUTION: An oxide film 2 is formed on a silicon substrate 1 ; after that, polysilicon 3 is applied; in addition, an oxide film 4 is applied and, after that, patterned. The polysilicon 3 is oxidized and transformed into an oxide film; the oxide film 2 is patterned; seeds 6 are formed; amorphous silicon 5 is transformed into a single crystal. Then, an oxidation operation is executed exclusive of a source region 7 and a drain region 8; an oxide film 9 is formed; boron-doped amorphous silicon 10 is applied; then, this silicon is heat-treated in an identical vacuum and transformed into a single crystal. Since arsenic or boron has been doped in this manner, a crystal is grown faster in a transverse direction than a growth operation of polycrystalline silicon; a film thickness of the amorphous silicon 10 becomes 50nm which is smaller than a maximum width of a depletion layer.

⑫ 公開特許公報(A)

平2-206133

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)8月15日

H 01 L 21/336
29/784

8624-5F H 01 L 29/78 3 1 1 Y

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 MOS型電界効果トランジスタの製造方法

⑮ 特 願 平1-27999

⑯ 出 願 平1(1989)2月6日

| | | | | |
|---------|-----------|-----|----------------|-----------|
| ⑰ 発 明 者 | 齋 藤 | 修 一 | 東京都港区芝5丁目33番1号 | 日本電気株式会社内 |
| ⑱ 発 明 者 | 岡 林 | 秀 和 | 東京都港区芝5丁目33番1号 | 日本電気株式会社内 |
| ⑲ 発 明 者 | 最 上 | 徹 | 東京都港区芝5丁目33番1号 | 日本電気株式会社内 |
| ⑳ 発 明 者 | 波 田 | 博 光 | 東京都港区芝5丁目33番1号 | 日本電気株式会社内 |
| ㉑ 発 明 者 | 青 木 | 秀 充 | 東京都港区芝5丁目33番1号 | 日本電気株式会社内 |
| ㉒ 出 願 人 | 日本電気株式会社 | | 東京都港区芝5丁目7番1号 | |
| ㉓ 代 理 人 | 弁理士 内 原 晋 | | | |

明 細 書

1. 発明の名称

MOS型電界効果トランジスタの製造方法

2. 特許請求の範囲

(1) 絶縁体基板上の単結晶半導体薄膜に形成するMOS型電界効果トランジスタの製造方法において、絶縁膜上に形成され、高濃度にドーピングされた半導体膜を、該半導体膜の膜厚と同じ膜厚の絶縁膜によって分離する工程と、前記分離された半導体膜にソース・ドレイン領域を形成する工程と、低濃度にドーピングされた半導体膜を前記ソース・ドレイン領域間を分離した絶縁膜上に堆積する工程と、前記低濃度にドーピングされた半導体膜を単結晶化し、チャンネル領域を形成する工程とを含むことを特徴とするMOS型電界効果トランジスタの製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はMOS型電界効果トランジスタの製造方法、特にSOI(Silicon On Insulator)基板に形成するMOS型電界効果トランジスタの製造方法に関

するものである。

〔従来の技術〕

最近のVLSIにおいては、ゲート長が0.8 μm程度のMOS型電界効果トランジスタが用いられており、また、単体では0.1 μmのチャンネル長を有するMOSトランジスタの試作結果も報告されている。しかし、高集積化による微細化に伴い、パンチスルーや短チャンネル効果という2次元効果のためにMOS型電界効果トランジスタの特性が劣化してくる。一方、SOI基板に形成されるMOS型電界効果トランジスタにおいては、従来、結晶成長が容易であるSOI膜厚が0.5 μm程度の単結晶半導体薄膜が用いられていた。しかし、例えば、デバイスサイズが0.1 μm以下のMOSトランジスタを形成する場合、0.5 μmと厚いSOI膜を用いた場合には、バルクシリコン基板を用いた場合と同じように、パンチスルーや短チャンネル効果という2次元効果のためにMOS型電界効果トランジスタの特性は劣化する。しかし、このような2次元効果や基板浮遊効果を低減するためには、SOI膜厚を最大空乏層厚以下にすれば

良いことが最近報告されている。このため、薄いSOI膜の形成方法としては、一度0.5 μ m程度の厚いSOI膜を形成した後、種々のエッチング法を用いて薄膜化する方法が行われている。

〔発明が解決しようとする課題〕

ところで、微細ゲート長を有するMOS型電界効果トランジスタにおいては、ゲート領域のSOI膜厚を空乏層幅以下にしないで、2次元効果を十分に抑制することはできない。そのため、ゲート領域あるいはトランジスタ全領域のSOI膜の膜厚を50nm程度以下にしなければならない。しかし、そのように薄いSOI膜を広い領域に形成することは、従来のビームアニール法や固相成長法では困難であるばかりでなく、現在行われている厚いSOI膜を種々のエッチング法を用いて薄くする方法においても、均一性、制御性の面から極めて困難である。また、ソース・ドレイン領域の膜厚もきわめて薄くなるために、ソース・ドレイン抵抗の増大も予想される。

本発明の目的はこのような従来の問題点を解消

しうるMOS型電界効果トランジスタの製造方法を提供することにある。

〔課題を解決するための手段〕

上記目的を達成するため、本発明によるMOS型電界効果トランジスタの製造方法においては、絶縁体基板上の単結晶半導体薄膜に形成するMOS型電界効果トランジスタの製造方法において、絶縁膜上に形成され、高濃度にドーパされた半導体膜を、該半導体膜の膜厚と同じ膜厚の絶縁膜によって分離する工程と、前記分離された半導体膜にソース・ドレイン領域を形成する工程と、低濃度にドーパされた半導体膜を前記ソース・ドレイン領域間を分離した絶縁膜上に堆積する工程と、前記低濃度にドーパされた半導体膜を単結晶化し、チャンネル領域を形成する工程とを含むものである。

〔作用〕

微細ゲートを有するSOIデバイスを形成するためにはSOIの膜厚を50nm以下にする必要がある。従来用いられている方法で、そのままこのような薄い膜を形成すると、単結晶の成長する距離は数

- 3 -

μ mであり、デバイス形成領域を全面に単結晶化することは困難である。しかし、ソースとドレインとなるべき領域を厚くしておけば単結晶化は容易にできる。このとき、高濃度に不純物をドーパしておく、ソースとドレインとが同時にできることになる。またこのとき、例えばSOS基板のように予め単結晶化した基板を用いれば、このための単結晶化は必要なく、ソース・ドレインとなるべき領域を分離し、かつ前記領域に不純物をドーパすれば良い。次に、SOIデバイスのチャンネル領域となるべき領域に薄膜のSOI膜を形成する。このとき、まず、SOI膜厚分だけ低濃度にドーパされた半導体膜を堆積し、次に、ソース及びドレイン領域を種にSOI膜を単結晶化する。従って、薄膜のSOIを形成する領域は数 μ m程度でも十分である。このような方法をとれば、薄膜のSOI膜も容易に結晶化でき、かつソース・ドレイン及びチャンネル領域の形成がSOI膜の結晶化と同時にできる。

〔実施例〕

- 4 -

以下、本発明の実施例を図面を参照して説明する。

第1図(a)~(c)は本発明の一実施例を示した模式的断面図である。

第1図(a)において、シリコン基板1上に酸化膜2を1 μ m形成したのちポリシリコン3を40nm付着し、更に酸化膜4を0.5 μ m付着させ、その後パターニングする。この幅はMOSトランジスタのチャンネル長に対応し0.1~10 μ mの間で変化させた。次にポリシリコン3を酸化し、すべて酸化膜に変える。第1図(b)に示すように、酸化膜2をパターニングし、シード6を形成する。次に高真空中に試料を入れ、表面のクリーニングを行った後、砒素がドーパされた非晶質シリコンを2 μ m付着させ、同一真空中で450°C、30分熱処理した後、大気中に取り出し、研磨法により平坦化を行った。次に窒素中で600°C、8時間の熱処理を行い、非晶質シリコン5を単結晶化した。次に、ソース7及びドレイン8の各領域を除き酸化を行い、酸化膜9を形成し、第1図(c)の構造を形成する。上記の試料を

高真空中にセットしたのち、表面クリーニングを行い、第1図(d)のようにボロンドープされた非晶質シリコン10を付着する。次に同一真空中で500℃、5時間の熱処理を行い単結晶化した。非晶質シリコン10の単結晶化においては、いずれの場合でも砒素あるいはボロンがドープされているために多結晶シリコンの成長よりも結晶の横方向成長は速く、ドープされていない場合よりも成長は容易である。この場合、非晶質シリコン10の膜厚は最大空乏層の幅より小さい50nmとした。次に、第1図(e)のように、ゲート酸化膜11、ゲート電極12、酸化膜13、配線膜14を形成してMOSトランジスタの構造を得る。

なお、ゲート酸化膜11は5nmとしゲート電極12を形成した後、酸化膜13を付着させた後配線膜14を形成した。

以上、実施例においては、ソース・ドレイン及びチャネル領域の単結晶膜を形成する方法として固相成長法を用いたが、ビームアニール法なども用いることができる。さらにまた、各領域へのド

ーピング方法としてドープされたシリコン膜の付着という方法を用いたが、これに限らず先ず非晶質シリコンを付着した後不純物を例えばイオン注入などの方法で導入してもよい。また、本実施例においてはソース・ドレイン領域を固相成長法を用いて成長させたが、SOS基板のように予め単結晶化したものを用い、ソース・ドレイン領域の分離、及びソース・ドレイン領域への不純物導入を行ったものを用いても良い。

また、前記実施例においては、ゲート材料として多結晶Si膜を用いたが、これに限る必要はなく、高融点金属等の金属膜やポリサイド構造の薄膜も用いることができる。

(発明の効果)

以上説明したように、本発明によれば、従来のMOS型電界効果トランジスタの製造方法とは異なり、チャネル領域の薄いSOI膜は、厚いソース及びドレイン領域を形成後、これらの領域を種に形成しているために、従来の薄いSOI膜形成に必要であった高精度のエッチング法や、直接薄いSOI

- 7 -

膜を大面積にわたり形成しなくてもよく、また薄いSOI膜の成長距離も数μmと短くてすむ。また、実施例において示したように、チャネル領域の薄いSOI膜にMOS型電界効果トランジスタを形成した場合でも、ソース・ドレイン領域を厚いシリコン膜で形成できるので、ソース・ドレイン領域の抵抗を上げずにトランジスタを作製できる。

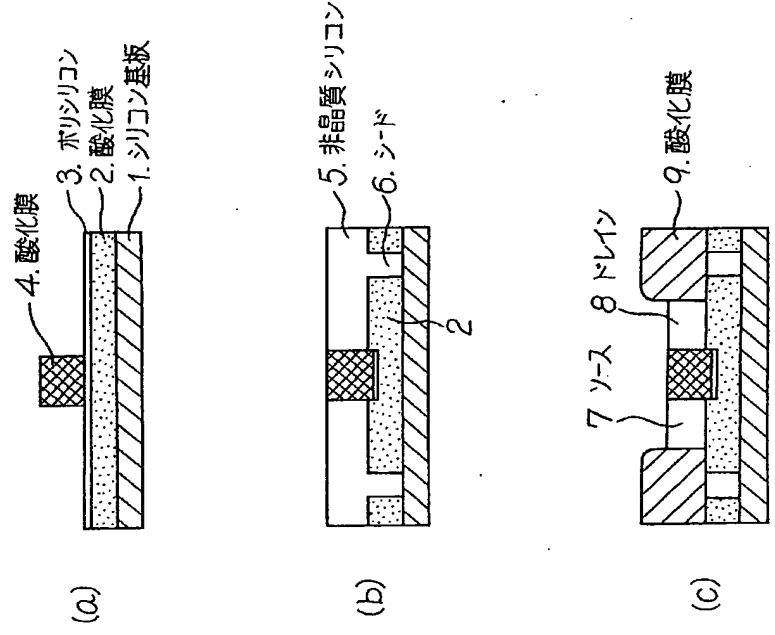
4. 図面の簡単な説明

第1図(a)～(e)は本発明の一実施例を工程順に示した模式的断面図である。

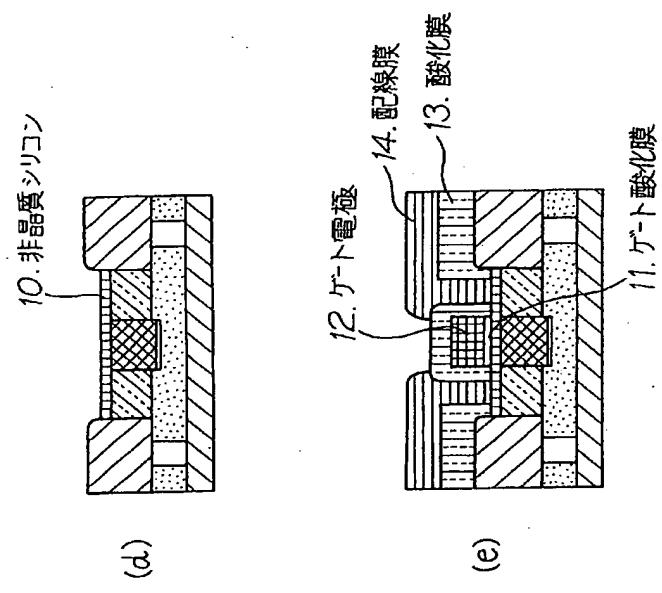
- | | |
|----------|--------------|
| 1…シリコン基板 | 2,4,9,13…酸化膜 |
| 3…ポリシリコン | 5,10…非晶質シリコン |
| 6…シード | 7…ソース |
| 8…ドレイン | 11…ゲート酸化膜 |
| 12…ゲート電極 | 14…配線膜 |

特許出願人 日本電気株式会社

代理人 弁理士 内 原 晋



第 1 図



第 1 図